

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

F-03 E+D0085

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特許2002-305288
(P2002-305288A)

(43) 公開日 平成14年10月18日 (2002. 10. 18)

(5) Int. Cl.⁷ H01L 27/105 發明配号 F I H01L 27/10 4 4 4 B 5 F 0 8 3 5 F 0 8 3 (参考)

審査請求 未請求 請求項の数 7 書面 (全 4 頁)

(21) 出願番号	特許2000-301211(P2000-301211)	(71) 出願人	500455205 野村 隆三
(22) 出願日	平成12年8月25日 (2000. 8. 25)		京都府京都市中京区室町通り御池上小瀬池之町314番地1Aビル3F (株) 野村電
			子技術研究所内
(71) 出願人	500455490		谷奥 正巳
			大阪府大阪市淀川区木川東1-11-19
(72) 発明者	谷奥 正巳		大阪府大阪市淀川区木川東1-11-19有馬
			パレス西中島601号

最終頁に続く

(54) 【発明の名称】 キャパシタ電極構造及び半導体記憶装置

(57) 【要約】

【課題】 スタック型メモリセル構造において、強誘電体キャパシタ及びポリシリコンプラグと強誘電体キャパシタの接合部が後工程において酸素あるいは水素の拡散などにより劣化する問題を解決する。

【解決手段】 強誘電体電極構造を酸化性金属からなる多層構造とし、積層界面に拡散物質がトラップされることで形成される逆向きの拡散濃度分布を利用して酸素などの拡散を阻害する。

【特許請求の範囲】

【請求項1】 モス型電界効果トランジスタのソース/ドレインの一方と、絶縁膜を介して配置した強誘電体キャパシタの下部電極とを、コンタクトプラグで電気的に接続させた半導体記憶素子において、上記下部電極が複数の酸化性金属からなる多層構造であって、ひとつ以上の積層界面を有することを特徴とする電極構造。

【請求項2】 請求項1において、強誘電体キャパシタ下部電極と接する絶縁膜の表面部分を酸化シリコンとしたことを特徴とする、半導体記憶装置。

【請求項3】 上記下部電極の材料として、酸化性があり、かつ酸化しても導電性を示す金属としたことを特徴とする、請求項1に記載の電極構造。

【請求項4】 上記下部電極の材料として特に、Pt、Ir、Ru、Re、Rh、Osおよびこれらの合金、のうち少なくとも一種以上の金属あるいは合金を用いたことを特徴とする、請求項1に記載の電極構造。

【請求項5】 上記強誘電体キャパシタ上部電極が、請求項3または4に記載の材料からなる請求項1に記載の下部電極構造と同様の構造であることを特徴とする電極構造。

【請求項6】 強誘電体キャパシタの側壁部を還元防止膜で覆い、かつ請求項5に記載の上部電極構造を有することを特徴とする、半導体記憶装置。

【請求項7】 請求項1に記載の下部電極構造と、請求項2と6に記載のデバイス構造を有することを特徴とする、半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

【0002】 この発明は強誘電体メモリ及び強誘電体メモリを組み込んだ半導体集積装置の製造に関するものである。

【従来の技術】

【0003】 強誘電体メモリは、DRAMとほぼ同じアーキテクチャを採り、セルキャパシタ部分を強誘電体材料に置き換えた不揮発性の半導体記憶装置である。従来的には、DRAMやFLASHメモリを凌駕するポテンシャルを秘めた新しいメモリデバイスである。

【0004】 このデバイスはDRAMとほぼ同じデバイス構造が可能である。メモリセル面積を最小にするためには第2図のようなスタック構造をとる必要がある。このような構造は良く知られた構造で、例えば特許公開(平10-223848)において従来技術として記載されている。

【0005】 第2図のデバイスについて説明する。シリコン基板1上にLOCOS3で素子分離してある。ウェル線などのトランジスタアークゲート4はポリシリコン/タングステンシリサイドの積層膜であるポリサイドなどである。ソース/ドレイン2の一方はポリサイドあるいは

(2)

特開平14-305288

タングステンからなるビット線5に接続され、他方はポリシリコンプラグ7に接続される。

【0006】 それらの上部に強誘電体キャパシタ(下部電極8、強誘電体9、上部電極10)が配置される。材料は、Ti/TiN/Pt(8)、PZT(PbTi_xZr_{1-x}O₃)(9)、Pt(10)などである。Ti/TiNは密着及びバリアメタルである。強誘電体キャパシタの上部電極10は酸化膜12を介してメタル配線13と接続する。

【0007】

【発明が解決しようとする課題】 強誘電体キャパシタを形成する時に強誘電体の結晶化のために500から800℃という高温熱処理を行う。このとき下部電極である白金は酸素を通しやすい性質のためバリアメタルであるTi/TiNを酸化させてしまい、結果としてポリシリコンプラグと強誘電体キャパシタの下部電極間のコンタクト抵抗が増大し最終的には導通が失われてしまう。

【0008】 また、強誘電体形成後のプロセスにおいて還元雰囲気あるいは至ストレスのために強誘電体特性が劣化する問題がある。これに対して、例えば500から600℃の酸化雰囲気で行うアニールを行うと特性は回復する。この点ではバリアメタルは酸化される。なぜなら、この地点ではキャパシタが加工された状態なので酸化膜を通してキャパシタ板からの酸素の回りこみがあるからである。

【0009】 そして、これらの高温アニール処理をするとき強誘電体の構成元素が拡散し、強誘電体の組成が変化する。起して特性が変化したり悪化したという問題がある。本発明は、以上のバリアメタルの酸化、還元雰囲気での強誘電体の劣化、高温アニールでの相互拡散の問題を解決する。

【0010】

【課題を解決するための手段】 下部電極の構成を白金その他の耐酸化性のある金属を複数用いて多層構造にする。酸素に限らず拡散してきた物質は多層構造の界面に多くトラップされやすい。従って、下部電極をひとつの材料で構成するよりも、積層界面をたくさん形成することで酸素を界面で多くトラップして最下層のバリアメタルまでに到達する酸素を少なくする。さらには強誘電体を構成する金属元素の拡散も抑える。均一な材料で構成した場合、拡散物質の濃度分布は単調に変化した濃度の薄い方へ拡散しようとする。しかし、積層構造にした場合、界面に溜まった酸素や金属元素はその界面付近において逆向きの濃度分布を形成する。この逆向き分布が拡散を抑制する方向に働くのである。

【0011】 さらに、多層構造用の材料として酸化して導電性がある金属材料を用いる。このような材料を用いると、一般に物質の端面(界面)がもつとも反応性が高いため積層界面付近で酸素と反応してさらに酸素を吸

収する。これはさらに大きな逆向きの濃度分布となる。もちろん導電性も保たれる。

【0012】また、強誘電体キャパシタ形成前の絶縁層として窒化シリコン膜を堆積させておいて回復アニール時のキャパシタ値からの酸素回り込みも防ぐ。

【0013】上部電極も積層構造にして同様に水素などの還元ガスのストッパとする。界面にトラップされる以外にも白金は特に水素を吸収するので大きな逆向き濃度分布を作る。キャパシタを還元防止膜で覆うことと組み合わせて強誘電体に到達する還元種を抑える。

【0014】【実施例1】第1図が一例として本発明を実施した強誘電体メモリのセルの構造断面図である。

【0015】製造工程を順に述べる。シリコン基板1上にLOCOS3を形成して素子分離する。次にワード線などのトランスファーマーゲート4を形成する。トランスファーマーゲートはポリシリコンまたはポリシリコン/タンダステンシリサイドの積層膜であるポリサイドである。ソース/ドレイン2を形成する。

【0016】さらにビット線5をポリサイドあるいはタングステン配線で形成する。酸化膜12で覆った後、エッチバックあるいはCMP (chemical mechanical polishing) などの平坦化プロセスを行う。その後、窒化シリコン膜6を500Åから1000Å堆積させる。実質200Å程度でも十分だが、次のポリシリコンプラズマ形成時に削られる分やキャパシタ加工時のオーバーエッチ分を含んでいる。そして、コンタクトホールを開孔してポリシリコンプラズマ7をエッチバック法などによって形成する。

【0017】次に、強誘電体キャパシタ(8, 9, 10)を形成する。下部電極8は、まず最下層に密着度向上とバリアメタルを目的としてTi/TiN、Ta/TaSiNなどを200Åから500Å堆積し、その上にイリジウムを500Å程度重ね、さらに白金を500Å程度重ねる。このイリジウム/白金層を繰り返して堆積させて積層界面をたくさん形成するほど効果があるが、あまり厚くするとエッチングが困難になるので一回の繰り返しのみにしてトータルで2000Å強にとどめる。各金属層はその材料の特性にもよるが、200Åから500Åである。薄いほど界面を多く形成できるが、あまり薄いとは酸素を通し過ぎてしまう。イリジウムと同等な材料としてルテチウム、ロジウム、レニウムなどたくさん存在する。これらの金属はいずれもスパッタ法で形成できる。

【0018】下部電極は、バリアメタル/Ir/Pt/Ir/Ptという構成を一例として示した。強誘電体はPt上でもっとも結晶化しやすいため、例えば最上層をPtに固定して、バリアメタル/A/B/A/Pt (A: Ir, Ru, Rh, Re, Osなど) というような構成にすればさらによくなる。また、Ir自体バ

リアメタルとしても機能するのでIr/A/B/A/Ptという構成も可能である。

【0019】強誘電体は $PbLa_{0.9}Zr_{0.1}Ti_{1-x}O_3$ 、あるいは $SrBi_{2-x}Nb_xZr_{2-x}O_{9.9}$ などである。スパッタ法やゾルゲル法で積層したところで強誘電体の結晶化アニールを行う。そして、上部電極を下部電極と同じくPt/Ir/Pt/Ir/Pt/Irという積層構造で堆積して500℃程度のアニールを行う。アニールは強誘電体と電極間の界面単位を減らしてきれいなショットキー障を形成するためである。その後、キャパシタ形状に加工する。図でまっすぐに一括エッチングされたように書いているが、この技術は必ずしも簡単でない。実際にはテーパーがついているか、あるいは離隔のように段々構造にすることもあつた。加工により強誘電体の劣化が生じているので回復アニールを行う。

【0020】そして、還元防止膜11を100Åから500Å程度堆積する。還元防止膜としてはアルミナなどである。酸化膜12を堆積し再び回復アニールを行った後、AlSiCuなどのメタル配線13を形成する。このあとは、2層目以降のメタル配線層を形成し、パッシベーション膜(酸化膜)を最後に形成する。

【0021】

【発明の効果】強誘電体結晶化アニールのときはウエハ全面に多層構造の下部電極が存在し、酸素は界面においてトラップされ、さらには界面で電極材料と反応して最終的にバリアメタルまで到達する酸素は極めて少ない。イリジウム自体でも酸素を通しにくい性質があるが、単にそのような性質を利用するだけでなく、多層構造にすることでより酸素を通しにくい電極構造にでき、しかも強誘電体構成元素の拡散も抑える。

【0022】また、回復アニール時も強誘電体キャパシタ下に敷いた窒化シリコンの存在によりポリシリコンプラズマまで回り込んで到達する酸素は極めて少なくなる。

【0023】還元防止については、キャパシタ層からの還元種の侵入には還元防止膜が、メタル電極を通しての侵入には上部電極の積層構造が、抑制する。

【0024】このようにして、プラズマコンタクトの酸化、還元による強誘電体劣化、金属拡散を抑えることで、スタック型の小さなメモリアルセルを実現できビットコスタの安い強誘電体メモリあるいはメモリ組み込みチップを製造することが出来る。

【図面の簡単な説明】

【図1】本発明による強誘電体メモリのセルの断面図。

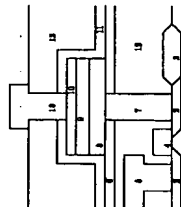
【図2】従来例である強誘電体メモリのセルの断面図。

【符号の説明】

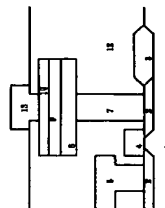
- 1 シリコン基板
- 2 ソース/ドレイン
- 3 LOCOS
- 4 トランスファーマーゲート

- 5 ビット線
- 6 窒化シリコン膜
- 7 ポリシリコンプラズマ
- 8 下部電極
- 9 強誘電体

【図1】



【図2】



フロントページの続き

Fターム(参考) 5F083 FR02 GA25 JA15 JA17 JA35
JA38 JA39 JA40 JA53 JA56
MA06 MA17 PR33 PR39 PR40